

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

## KOREAN PATENT ABSTRACTS

(11)Publication number: **00164388 B1**  
 (43)Date of publication of application: **11.09.1998**

(21)Application number: **95024724**  
 (22)Date of filing: **10.08.1995**

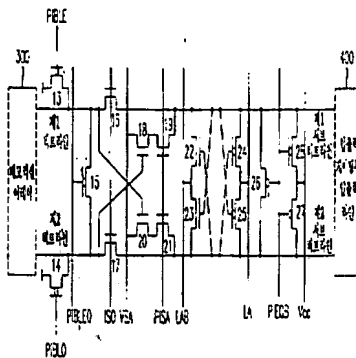
(71)Applicant: **SAMSUNG ELECTRONICS CO., LTD.**  
 (72)Inventor: **KIM, MYONG JAE  
YONG, MYONG SIK**

(51)Int. Cl **G11C 16/06**

**(54) SENSE AMPLIFYING CIRCUIT IN NON-VOLATILE SEMICONDUCTOR MEMORY DEVICE****(57) Abstract:**

**PURPOSE:** A sense amplifying circuit in non-volatile semiconductor memory device is provided to increase a sensing speed and decrease a peak current by performing a stable normal sensing operation and a stable inverted sensing operation and electrically isolating bit lines of a cell array unit when performing a sensing operation.

**CONSTITUTION:** A pair of bit lines(BL1,BL2) adjacent to a cell array unit and a reference cell array unit(300) and a pair of sub bit lines (SBL1,SBL2) adjacent to a gating unit(400) for transmitting data to an input and output line(I/O) are divided according to first and second isolating transistors(16,17). P-type MOS transistors(13,14) receives a control signal(PIBL0) at the gate and precharge a main bit line. A P-type transistor(15) is connected to one side of P-type MOS transistors(13,14), and receives a control signal(PIBLEQ) at the gate and equalize a pair of main bit lines(BL1,BL2). P-type MOS transistors(26-28) are connected to one side of the gating unit(400), and receive a control signal(PIEQ) at the gate and receive a control signal(VBL) at the source and drain and precharge and equalize a pair of sub bit lines(SBL1,SBL2). N-type and P-type MOS transistors(22-25) are connected to one side of the P-type MOS transistor(26), and receives control signals(LAB,LA) and amplify voltages of sub bit lines(SBL1,SBL2). N-type MOS transistors(19,20) are connected to sub bit lines at the drain, and receives a control signal(PISA) at the gate. N-type MOS transistors(18,20) are connected to main bit lines at the gate, and receives an external signal(VSA) at the source to access a phase of a selected cell data when performing a sensing operation in the case that a removed cell is selected.

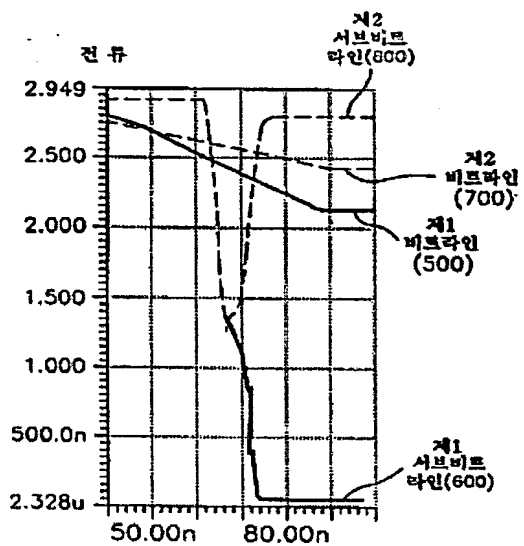


COPYRIGHT 2000 KIPO

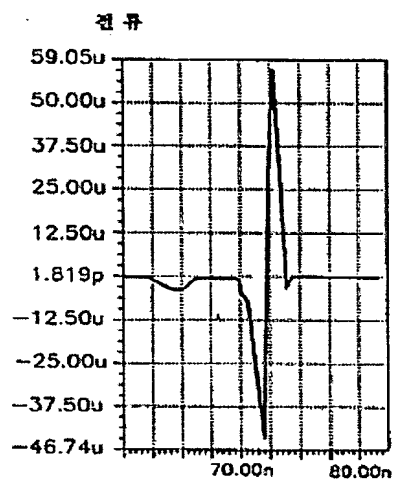
Legal Status

**BEST AVAILABLE COPY**
[http://patent2.kipris.or.kr/newps/kpa\\_image/1995B1019950024724/kp...](http://patent2.kipris.or.kr/newps/kpa_image/1995B1019950024724/kp...) 2002-10-21

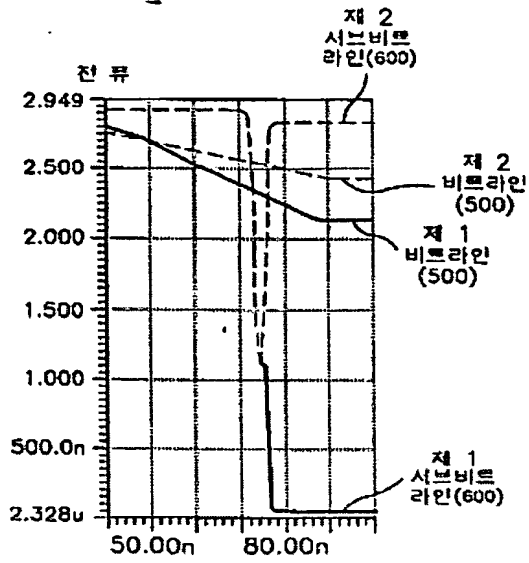
도 27



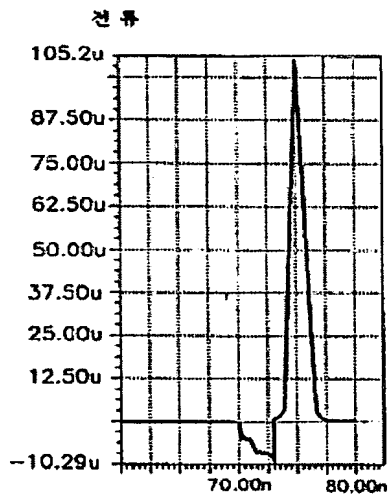
도 28



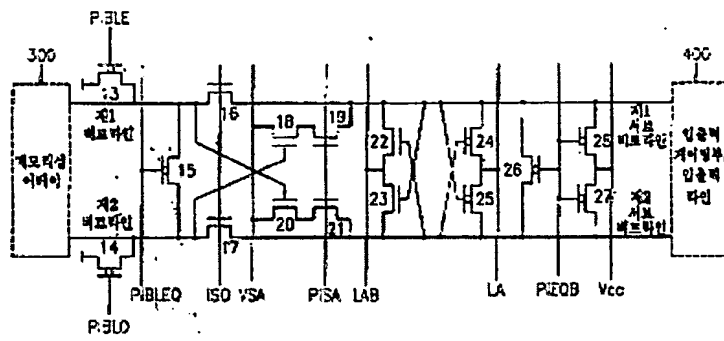
도 23



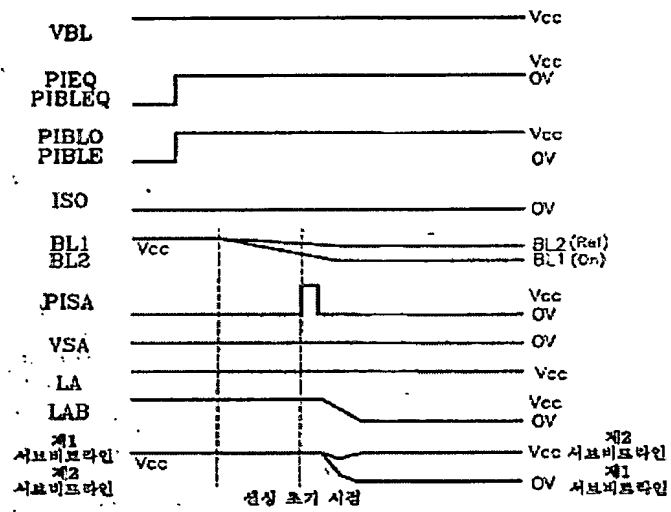
도 24



도 13



도 14



되며 상기 비트라인의 전압차이를 증폭하기 위한 증폭수단과; 드레인인 상기 서브비트라인과 연결되고 게이트는 그라운드 전류 흐름을 방지하기 위하여 펄스형태의 외부신호가 수신되는 래치 소오스 트랜지스터와; 드레인인 상기 래치 소오스 트랜지스터의 일측과 연결되고 특정레벨로 전이가능한 외부신호를 소오스로 수신하고 게이트에는 메인 비트라인과 각기 연결되어 소거된 셀이 선택된 경우에서의 센싱동작시에 상기 선택된 셀 데이터의 위상을 역세스 하기 위한 역세스 수단을 가지는 것을 특징으로 하는 불휘발성 반도체 메모리 장치의 비트라인 증폭회로.

## 청구항 2

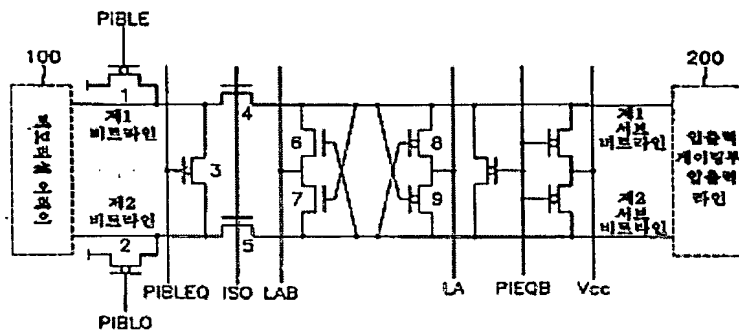
제1항에 있어서, 상기 셀 어레이부는 풀드드 비트라인을 가지는 난드형임을 특징으로 하는 불휘발성 반도체 메모리 장치의 비트라인 증폭회로.

## 청구항 3

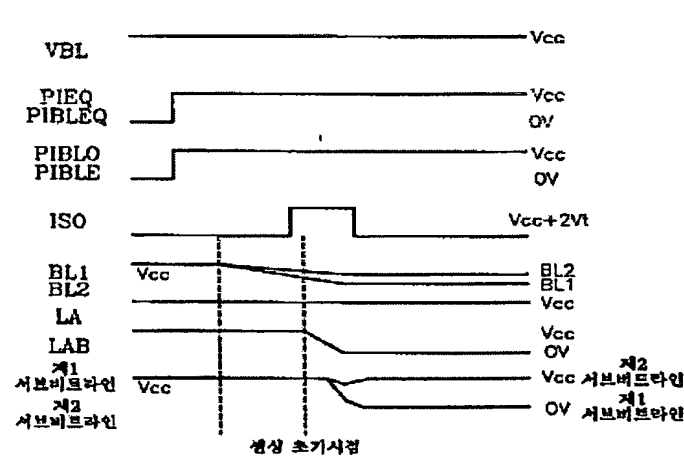
제1항에 있어서, 상기 제1, 2격리트랜지스터는 엔헐 모오스 트랜지스터로 구성되며 상기 노말센싱시에는 상기 제1, 2격리트랜지스터의 게이트에 0V가 수신된 그 후에 전원전압 또는 그 이상의 전위로 전이되는 것을 특징으로 하는 불휘발성 반도체 메모리 장치의 비트라인 증폭회로.

## 도면

도면1



도면2



상기 셀 어레이부 및 증폭부를 전기적으로 격리시킨다.

게이트에는 제어신호 P1BL0가 인가되고 상기 메인 비트라인을 프리차아지 시키는 피형 모오스 트랜지스터(13,14)와, 상기 피형 모오스 트랜지스터(13,14)의 일측에 각기 연결되고 제어신호 P1BLEQ를 게이트로 수신하고 상기 한쌍의 메인 비트라인 BL1, BL2를 이퀄라이즈 하기 위한 피형 모오스 트랜지스터(15)와, 상기 게이트부(400)의 일측에 연결되고 제어신호 P1EQ를 게이트로 수신하고 미의 소오스 및 드레인은 제어신호 VBL가 수신되고 상기 한쌍의 서브비트라인 SBL1, SBL2를 프리차아지 및 이퀄라이즈 하기 위한 피형 모오스 트랜지스터(26,27,28)와, 상기 피형 모오스 트랜지스터(26)의 일측에 연결되고 제어신호 LAB, LA를 각기 수신하고 상기 서브 비트라인 SBL1, SBL2의 전압을 증폭하기 위한 래치형의 엔형 및 피형 모오스 트랜지스터(22,23,24,25)와, 드레인은 상기 서브비트라인과 각기 연결되고 게이트에는 펄스신호로 콘트롤되는 제어신호 PISA가 각기 수신되는 래치 소오스 엔형 모오스 트랜지스터(19,20)와, 게이트는 상기 메인비트라인과 각기 연결되고 특정레벨로 전이가능한 외부신호 VSA를 소오스로 수신하며 소거된 셀이 선택된 경우에서의 센싱동작시에 상기 선택된 셀 데이터의 위상을 역세스 하기 위한 엔형 모오스 트랜지스터(18,20)로 이루어진다.

제4도는 제3도에 대한 노말 센싱동작의 타이밍을 도시한다.

제3도 및 제4도를 참조하여 센싱 동작을 설명하면 다음과 같다.

우선, 상기 서브비트라인 SBL1, SBL2를 및 메인 비트라인 BL1, BL2를 상기 프리차아지 하기 위한 피형 모오스 트랜지스터(13,14,27,28)를 통하여 전원전압레벨로 프리차아지 시킨후 선택된 셀 데이터의 위상을 역세스 하기 위한 상기 엔형 모오스 트랜지스터(18,20)의 소오스 제어신호인 VSA에는 0V를 인가한다.

그리고, LA, LAB는 전원전압 레벨로 프리차아지 시킨 상기의 상태에서 비트 라인에 워드라인 신호에 의해 선택된 셀의 상태에 따라 디벨롭되면 일정시간 이후에 상기 디벨롭된 비트라인 및 기준 비트라인의 전위차를 센싱하기 위하여 상기 래치 소오스 엔형 모오스 트랜지스터(19,21)를 턴-온 시킨다.

SBL1, SBL2에 프리차아지 된 전압은 상기 엔형 모오스 트랜지스터(18,19,20,21)를 통하여 방전된다. 이때에는 상기 엔형 모오스 트랜지스터(18,20)의 게이트전압이 되는 메인 비트라인의 미세한 전압차이를 제1차 증폭하는 역할을 한다.

잠시뒤에는 LAB를 0V로 다운하여 비트라인을 증폭하기 위한 엔형 및 피형 모오스 트랜지스터(22,23,24,25)를 동작시켜 위에서 벌어진 전압차이를 더욱 증폭하는 제2차증폭을 한다.

이때에 래치 소오스 엔형 모오스 트랜지스터(19,21)의 게이트 신호인 PISA는 센싱 이후에 디벨롭된 메인 비트라인 BL1, BL2게이트 바이어스에 의해 야기되는 SBL1, SBL2로의 그라운드 DC전류의 흐름을 방지하고 자 일정시간뒤에는 디스에이블 되도록 펄스형태로 제어한다.

마출러 비트라인 격리신호 ISO를 계속하여 로우 레벨로 디스에이블 시켜 비트라인 로딩이 완전히 배제된 상태에서 SBL1, SBL2를 디벨롭 시킨다. 여기서 SBL1, SBL2는 전원전압 레벨, VSA는 그라운드 레벨로 프리차아지 또는 스위칭 되어 있는 상태에서 센싱동작을 수행한다.

따라서, BL1이 0V가 되며 BL2가 기준 레벨로 디벨롭되는 온 셀, 즉 소거된 셀인 경우의 데이터 센싱인 경우에는 SBL1은 0V로 SBL2는 전원전압 레벨로 디벨롭되어 셀 데이터와 동일한 위상의 데이터를 역세스 하게 된다.

제5, 6도는 제1도에 대한 노말 센싱동작의 시뮬레이션 결과 그래프를 도시한다. 제5도를 참조하면, 제2비트라인은 기준 셀, 제1비트라인은 소거셀이 선택되어 각각 워드라인이 인가된 후 디벨롭되고 있고 70ns 부근에서 제1도의 ISO신호가 인가되면, 제1, 2서브비트라인이 제1, 2비트라인의 차이에 의해 디벨롭되기 시작한다. 이후 80n 부근에서 LAB신호를 0V로 다운시키면 제1, 2서브비트라인의 차이에 의해 제2서브비트라인은 Vcc로, 제1서브비트라인은 0V로 디벨롭된다. 제6도를 참조하면, 제5도와 같이 센싱동작을 수행할 때 LAB신호가 0V로 다운됨으로서 NMOS 6, 7을 통해 흐르는 펄스 전류를 나타낸다.

제7, 8도는 제3도에 대한 노말 센싱동작의 시뮬레이션 결과 그래프를 도시한다. 제7도를 참조하면, 제1, 2비트라인이 제5도와 같은 상태에서 디벨롭되고 제5도의 ISO신호와 같은 시점 70ns에서 제4도의 PISA신호가 인가되면, 제1, 2서브비트라인이 디벨롭되기 시작하고 두 비트라인의 차이는 LAB를 0V로 다운시킴으로써 2차 센싱동작이 되어 제2비트라인은 Vcc로, 제1비트라인은 0V로 디벨롭시킨다. 제8도를 참조하면, 제7도와 같이 센싱동작 수행시 NMOS 23, 24를 통해 흐르는 펄스 전류를 나타낸다.

제2도 및 제4도에서 ISO신호와 PISA신호가 같은 시간에 인에이블 되었다고 가정하였을 때 제5,6,7,8도의 그래프에서 보듯이 본 발명의 센싱 속도는 종래의 기술보다 10ns 이상이 빨라졌으며 픽전류는 반정도로 줄어드는 효과가 있다.

따라서, 상기한 바와 같은 본 발명을 따르면, 안정된 노말센싱 동작 및 인버티드 센싱동작의 수행이 가능하며, 센싱시 셀 어레이부의 비트라인이 전기적으로 격리되므로 센싱 속도의 증가와 더불어 픽 전류를 줄일 수 있는 효과가 있다.

## (57) 청구의 범위

### 청구항 1

셀 어레이부에 이웃한 한쌍의 메인 비트라인과 입출력라인으로 데이터를 전송하기 위한 게이트부에 이웃한 한쌍의 비트라인은 각기 제1, 2격리트랜지스터에 의해 분리되고 선택된 셀 데이터의 위상을 센싱하기 위한 불휘발성 반도체 메모리 장치의 비트라인 증폭회로에 있어서; 상기 메인비트라인의 전압을 프리차아지 하기 위하여 일측이 상기 메인 비트라인에 각기 연결된 제1충전수단과; 상기 제1충전수단과 일측에 연결되고 상기 한쌍의 메인 비트라인을 이퀄라이즈 하기 위한 제1등화수단과; 상기 게이트부의 일측에 연결되며 상기 한쌍의 서브비트라인을 프리차아지 하기 위한 제2충전수단과; 상기 제2충전수단의 일측에 연결되고 상기 서브비트라인의 전압을 이퀄라이즈 하기 위한 제2등화수단과; 상기 제2등화수단의 일측에 연결

# 공개서

## [발명의 명칭]

불휘발성 반도체 메모리 장치의 센스 증폭회로

## [도면의 간단한 설명]

제1도는 종래의 기술에 의한 불휘발성 반도체 메모리 장치의 센스 증폭회로도.

제2도는 제1도에 대한 노말 센싱동작의 타이밍도.

제3도는 본 발명에 따른 불휘발성 반도체 메모리 장치의 센스 증폭회로도.

제4도는 제3도에 대한 노말 센싱동작의 타이밍도.

제5, 6도는 제1도에 대한 노말 센싱동작의 시뮬레이션 결과 그래프도.

제7, 8도는 제3도에 대한 노말 센싱동작의 시뮬레이션 결과 그래프도.

## [발명의 상세한 설명]

본 발명은 불휘발성 반도체 메모리 장치에 있어서, 풀디드 비트 라인구조를 가지는 나드 형의 불휘발성 반도체 메모리 장치의 증폭회로에 관한 것으로, 특히 리이드동작시에 선택된 셀의 문턱전압(Threshold Voltage :  $V_t$ )에 의해 디벨롭된 비트 라인과 기준 비트라인과의 전위차를 증폭하기 위한 불휘발성 반도체 메모리 장치의 증폭회로에 관한 것이다.

제1도는 종래의 기술에 의한 불휘발성 반도체 메모리 장치의 센스 증폭회로를 도시하고 있다.

제1도를 참조하면, 비트라인을 증폭하기 위한 엔형 모오스 트랜지스터(6, 7)와 피형 모오스 트랜지스터(8, 9)와 이와 셀 어레이(100)를 전기적으로 차단 및 연결시키기 위한 엔형 모오스 격리 트랜지스터(4, 5)와, 그리고 증폭부의 서브 비트라인을 프리차이지 시키는 트랜지스터(107)와 입출력게이트부(200)등으로 구성되어진다.

제2도는 제1도에 대한 노말 센싱동작의 타이밍을 도시한다.

제1도와 제2도를 참조하여 동작을 설명하면 다음과 같다.

제1도와 제2도를 참조하여 셀 어레이 부(100)와 이웃한 메인비트라인 BL1에는 소거된 셀이 선택되어 연결되고 메인비트라인 BL2에는 소거된 셀과 프로그램된 셀의 중간 레벨을 유지하는 기준 셀이 선택되어 연결되는 경우를 우선 살펴본다.

비트라인이 충분히 디벨롭된 상태에서 신호 ISO를 펄스형태로 인에이블(하이 레벨)시키면, 디벨롭된 셀 어레이부(100)의 비트라인의 레벨을  $V_{cc}$  레벨로 프리차이지된 증폭단의 서브비트라인 SBL1, 2로 전달시키고 이와 동시에 센스 증폭기 제어신호 LA, LAB를 인에이블시켜 SBL1을 0V, SBL2를  $V_{cc}$ 로 디벨롭시키는 노르말 센싱동작이 수행된다.

그러나, 상기 ISO신호는 센싱시 안정된 펄스로 유지되어야 하며 그 하이 레벨이  $V_{cc} + 2V_t$ 이상의 레벨을 갖도록 설계되어야 하는 어려움이 있으며 또한, 하이 레벨의 구간동안 셀 어레이단의 메인비트라인 로딩을 전부 바라보기 때문에 센싱 속도의 감소 및 픽(peak) 전류의 증가를 야기시킨다.

따라서, 본 발명에서는 상기 종래 기술상의 문제점을 해결하여 안정된 메모리 동작을 구현하는데 그 목적이 있다.

따라서, 본 발명의 목적은 안정된 센싱 동작을 수행하는 불휘발성 반도체 메모리 장치의 비트라인 증폭회로를 제공함에 있다.

본 발명의 다른 목적은 센싱속도가 증가되고 픽전류를 억제하기 위한 불휘발성 반도체 메모리 장치의 비트라인 증폭회로를 제공함에 있다.

상기한 바와같은 목적을 달성하기 위한 본 발명의 기술적 사상에 따르면, 셀 어레이부에 이웃한 한쌍의 메인 비트라인과 입출력라인으로 데이터를 전송하기 위한 게이팅부에 이웃한 한쌍의 비트라인은 각각 제1, 2격리트랜지스터에 의해 분리되고 선택된 셀 데이터의 위상을 센싱하기 위한 불휘발성 반도체 메모리 장치의 비트라인 증폭회로에 있어서, 상기 메인비트라인의 전압을 프리차이지 하기 위하여 일측이 상기 메인 비트라인에 각각 연결된 제1충전수단과, 상기 제1충전수단과 일측에 연결되고 상기 한쌍의 메인 비트라인을 이퀄라이즈 하기 위한 제1등화수단과, 상기 게이팅부의 일측에 연결되며 상기 한쌍의 서브비트라인을 프리차이지 하기 위한 제2충전수단과, 상기 제2충전수단의 일측에 연결되고 상기 서브비트라인의 전압을 이퀄라이즈 하기 위한 제2등화수단과, 상기 제2등화수단의 일측에 연결되며 상기 비트라인의 전압차이를 증폭하기위한 증폭수단과, 드레인은 상기 서브비트라인과 연결되고 게이트는 그라운드 전류 흐름을 방지하기 위하여 펄스형태의 외부신호가 수신되는 래치 소오스 트랜지스터와, 드레인은 상기 래치 소오스 트랜지스터의 일측과 연결되고 특정레벨로 전이가능한 외부신호를 소오스로 수신하고 게이트에는 메인 비트라인과 각각 연결되어 소거된 셀이 선택된 경우에서의 센싱동작시에 상기 선택된 셀 데이터의 위상을 역세스 하기 위한 역세스 수단을 가지는 것을 특징으로 한다.

이하 본 발명의 바람직한 실시예를 첨부한 도면을 참조하여 상세히 설명한다.

제3도는 본 발명에 따른 불휘발성 반도체 메모리 장치의 센스 증폭기 회로를 도시한다.

나드형으로 이루어진 셀 어레이부 및 기준 셀 어레이부(300)에 이웃한 한쌍의 메인 비트라인 BL1, BL2과, 입출력라인 I/O로 데이터를 전송하기 위한 게이팅부(400)에 이웃한 한쌍의 비트라인인 서브비트라인 SBL1, SBL2는 각각 제1, 2격리트랜지스터(16, 17)에 의해 분리된다. 따라서, 센싱 동작이 수행되어 질때

특 0164388

(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl.  
G11C 16/06

(45) 공고일자 1999년02월18일

(11) 등록번호 특0164388

(24) 등록일자 1998년09월11일

|           |                                  |           |              |
|-----------|----------------------------------|-----------|--------------|
| (21) 출원번호 | 특1995-024724                     | (65) 공개번호 | 특1997-012772 |
| (22) 출원일자 | 1995년08월10일                      | (43) 공개일자 | 1997년03월29일  |
| (73) 특허권자 | 삼성전자주식회사 김광호                     |           |              |
|           | 경기도 수원시 팔달구 매탄동 416번지            |           |              |
| (72) 발명자  | 홍영석                              |           |              |
|           | 경기도 안양시 동안구 관양동 한가람아파트 206동 601호 |           |              |
|           | 김영재                              |           |              |
|           | 경기도 수원시 장안구 화서1동 209-7(13/4)     |           |              |
| (74) 대리인  | 이건주                              |           |              |

심사관 : 이원희

(54) 불휘발성 반도체 메모리 장치의 센스 증폭회로

요약

1. 청구 범위에 기재된 발명이 속한 기술분야

폴리드 비트 라인구조를 가지는 난드형의 불휘발성 반도체 메모리 장치의 증폭회로에 관한 것이다.

2. 발명이 해결하려고 하는 기술적 과제

센싱속도가 증가되고 픽전류를 억제하기 위한 불휘발성 반도체 메모리 장치의 비트라인 증폭회로를 제공함에 있다.

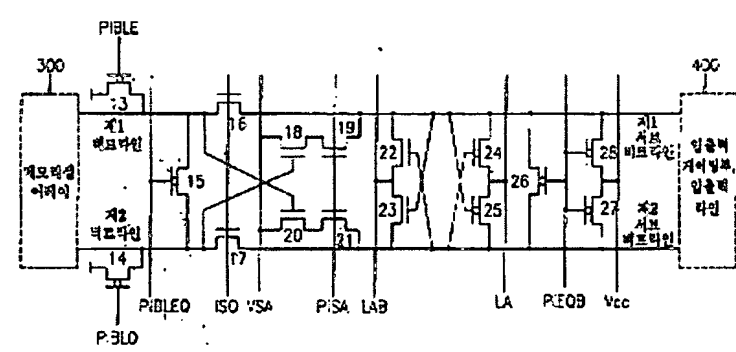
3. 발명의 해결방법의 요지

셀 어레이부에 이웃한 한쌍의 메인 비트라인과 입출력라인으로 데이터를 전송하기 위한 게이팅부에 이웃한 한쌍의 비트라인은 각각 제1, 2격리트랜지스터에 의해 분리되고 선택된 셀 데이터의 위상을 센싱하기 위한 불휘발성 반도체 메모리 장치의 비트라인 증폭회로에 있어서, 상기 메인비트라인의 전압을 프리차이지 하기 위하여 일측이 상기 메인 비트라인에 각각 연결된 제1충전수단과, 상기 제1충전수단과 일측에 연결되고 상기 한쌍의 메인 비트라인을 이퀄라이즈 하기 위한 제1등화수단과, 상기 게이팅부의 일측에 연결되며 상기 한쌍의 서브비트라인을 프리차이지 하기 위한 제2충전수단과, 상기 제2충전수단의 일측에 연결되고 상기 서브비트라인의 전압을 이퀄라이즈 하기 위한 제2등화수단과, 상기 제2등화수단의 일측에 연결되며 상기 비트라인의 전압차이를 증폭하기 위한 증폭수단과, 드레인인 상기 서브비트라인과 연결되고 게이트는 그라운드 전류 흐름을 방지하기 위하여 필스형태의 외부신호가 수신되는 래치 소오스 트랜지스터와, 드레인인 상기 래치 소오스 트랜지스터의 일측과 연결되고 특정레벨로 전이가능한 외부신호를 소오스로 수신하고 게이트에는 메인 비트라인과 각각 연결되어 소거된 셀이 선택된 경우에서의 센스동작시에 상기 선택된 셀 데이터의 위상을 역세스 하기 위한 역세스 수단을 가지는 것을 요지로 한다.

4. 발명의 중요한 용도

센싱속도가 증가되고 픽전류를 억제하기 위한 불휘발성 반도체 메모리 장치의비트라인 증폭회로에 적합하게 이용된다.

도면





Date of request for an examination (19950810)  
Final disposal of an application (registration)  
Date of final disposal of an application (19980828)  
Patent registration number (1001643880000)  
Date of registration (19980911)

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**